

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-29106

(43)公開日 平成6年(1994)2月4日

(51)Int.Cl.⁵H 0 1 C 7/10
13/02

識別記号

庁内整理番号

F I

技術表示箇所

D 8834-5E

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平4-181269

(22)出願日 平成4年(1992)7月8日

(71)出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72)発明者 後 外茂昭

京都府長岡京市天神2丁目26番10号 株式

会社村田製作所内

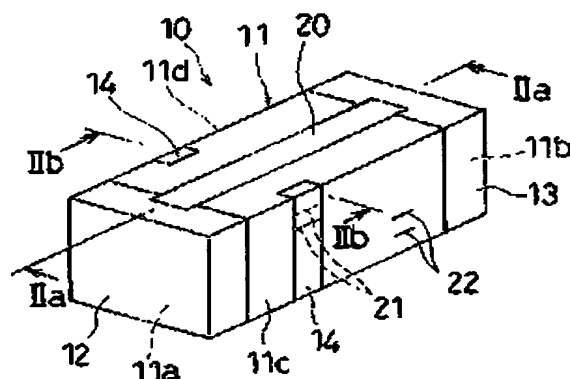
(74)代理人 弁理士 下市 努

(54)【発明の名称】 積層型チップバリスタ

(57)【要約】

【目的】 実装スペースの縮小、及び部品点数の削減を図りながら、別工程による表示マークの形成不要にでき、ひいては生産性を向上できる積層型チップバリスタを提供する。

【構成】 セラミック焼結体11の左、右端面11a、11bにそれぞれ入力電極12、出力電極13を形成するとともに、両側面11c、11dにグランド電極14を形成する。また上記焼結体11の内部に少なくとも一対の内部電極を埋設し、この一方の内部電極を上記入力電極12に、他方の内部電極を上記グランド電極14にそれぞれ接続し、さらに上記焼結体11に上記両入力、出力電極12、13に接続される抵抗膜20を形成して積層型チップバリスタ10を構成する。そして上記グランド電極14を上記焼結体11の入力電極12側に寄せて形成する。



BEST AVAILABLE COPY

(2)

特開平6-29106

1

【特許請求の範囲】

【請求項1】 セラミック焼結体の両端面にそれぞれ入力電極、出力電極を形成するとともに、側面にグランド電極を形成し、上記焼結体の内部に少なくとも一対の内部電極を埋設し、この一方の内部電極を上記入力電極に、他方の内部電極を上記グランド電極にそれぞれ接続し、さらに上記焼結体の表面、又は内部に上記両入力、出力電極に接続される抵抗体を配設してなる積層型チップバリスタであって、上記グランド電極を上記焼結体の入力電極、又は出力電極のいずれか一方側に偏位させて形成したことを特徴とする積層型チップバリスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電圧非直線抵抗体として機能するバリスタ素子と抵抗素子とを一体化してなる積層型のチップバリスタに関し、特に実装スペースの縮小、及び部品点数の削減を図りながら、プリント基板に実装する際の接続方向を容易に識別でき、ひいては製造工程を簡略化できるようにした構造に関する。

【0002】

【従来の技術】ICやLSI等においては、静電気サージ等の侵入によって誤動作や破壊が生じるおそれがある。このような静電気等の侵入を防止するために、従来、図10に示すように、低電圧で電流吸収能力を持つ積層型チップバリスタ（例えば、特公昭58-23921号公報参照）をIC回路に並列接続してICを保護するようにしている。このICを保護するには、積層型バリスタの制限電圧を15V以下にする必要があることから、例えば2nOを主成分としたバリスタでは、グレインサイズを10 μ m以上に大きくしたり、あるいは内部電極間のセラミック層の厚さを10 μ m以下に設定して低いバリスタ電圧を得ている。しかし、グレインサイズを大きくしたり、厚さを小さくすると漏れ電流が大きくなったり、バリスタ電圧がばらついたりし易く、信頼性に劣るという問題がある。

【0003】このような問題を解消する手段として、従来、図11に示すように、積層型バリスタとICとの間に抵抗体を直列接続して回路を構成したものがある。この抵抗体を付加することによって、比較的高いバリスタ電圧を持つ積層型バリスタを使用することができ、例えばグレインサイズが3 μ m程度で、かつ厚さ20 μ m以上のセラミック層からなる積層型バリスタを構成できる。その結果、漏れ電流を小さくできるとともに、バリスタ電圧を均一化でき、信頼性を向上できる。

【0004】

【発明が解決しようとする課題】しかしながら、上記従来の積層型バリスタに抵抗体を直列接続する場合、プリント基板に2つの素子を別々に実装することから、実装スペースが拡大し、高密度実装に対応できないという問題があり、また部品点数が増える分だけ実装コストが上

2

昇するという問題がある。

【0005】ここで、本件出願人は、図9に示すように、バリスタ素子と抵抗体とを一体化してなる積層型の複合チップバリスタを提案した。この積層型チップバリスタ1は以下の構造を有している。セラミック焼結体2の左、右端面にそれぞれ入力電極3、出力電極4を形成するとともに、両側面の中央部にグランド電極5を形成する。また上記焼結体2内に、図示しない一対の内部電極を埋設し、この一方の内部電極を上記入力電極2に、他方の内部電極をグランド電極5にそれぞれ接続する。そして上記焼結体4の表面に抵抗膜6を形成し、この抵抗膜6の両端を入力、出力電極3、4に接続して構成されている。このチップバリスタ1によれば、1つの部品でバリスタ機能と抵抗機能とを得ることができ、実装スペースを縮小できるとともに、部品点数を削減でき、上述の問題を解消できる。

【0006】ところで、上記積層型チップバリスタ1を回路基板等を実装する場合、図7の等価回路図に示すように、入力、出力電極3、4及びグランド電極5でL字型の回路が構成されており、各電極3～5の接続方向が決まっている。例えば、図8に示すように、入力、出力電極3、4の接続方向を逆方向に接続すると、高エネルギーのサージ電流が抵抗膜6に流れることから抵抗膜6が焼損し、信号回路をオープンにしてしまうという問題が生じる。従って、上記チップバリスタ1に接続方向を識別できる表示マークを別途形成する必要があり、それだけ製造工数が増えることから、この点での改善が要請されている。

【0007】本発明の目的は、実装スペースの縮小、及び部品点数の削減を図りながら、接続方向の表示マークを不要にして製造工程を簡略化できる積層型チップバリスタを提供することにある。

【0008】

【課題を解決するための手段】そこで本発明は、セラミック焼結体の両端面にそれぞれ入力電極、出力電極を形成するとともに、側面にグランド電極を形成し、上記焼結体の内部に少なくとも一対の内部電極を埋設し、この一方の内部電極を上記入力電極に、他方の内部電極を上記グランド電極にそれぞれ接続し、さらに上記焼結体に上記両入力、出力電極に接続される抵抗体を配設してなる積層型チップバリスタであって、上記グランド電極を上記焼結体の入力電極、又は出力電極のいずれか一方側に偏位させて形成したことを特徴としている。

【0009】

【作用】本発明に係る積層型チップバリスタによれば、グランド電極を入力、出力電極のいずれか一方側に寄せて形成したので、グランド電極の形成位置を目視することによって実装する際の接続方向が容易に識別できる。その結果、上述の別工程による表示マークを不要にでき、それだけ製造工程を省略でき、ひいては生産性を向

BEST AVAILABLE COPY

(3)

特開平6-29106

3

上できる。また、本発明では、単体の部品でバリスタ機能と抵抗機能とを得ることができることから、実装スペースを縮小できるとともに、部品点数を削減して実装コストを低減できる。

【0010】

【実施例】以下、本発明の実施例を図について説明する。図1ないし図3は、本発明の一実施例による積層型チップバリスタを説明するための図である。図1は斜視図、図2(a)は図1のIIa-IIa線断面図、図2(b)は図1のIIb-IIb線断面図、図3は分解斜視図である。図において、10は本実施例の積層型チップバリスタである。このバリスタ10は、ZnOを主成分とする直方体状のセラミック焼結体11の左、右端面11a、11bにそれぞれ入力電極12、出力電極13を形成するとともに、両側面11c、11dにグランド電極14を形成して構成されている。

【0011】また、上記焼結体11の上面には、これらの両端面11a、11b方向に延びる帯状の抵抗膜20が形成されており、この抵抗膜20の両端は上記入力、出力電極12、13に接続されている。

【0012】上記焼結体11内部の上部、下部には、それぞれ板状に延びる第1内部電極15、16が2つずつ埋設されている。この上部の内部電極15の一端面は焼結体11の左側端面11aに露出して上記入力電極12に接続されており、下部の内部電極16の一端面は右側端面11bに露出して上記出力電極13に接続されている。

【0013】また、上記焼結体11の内部には、上記各第1内部電極15、16とセラミック層17を挟んで対向する第2内部電極18、19が2つずつ埋設されている。この各内部電極18、19の両端面は焼結体11の内側に位置して封入されており、この各第2内部電極18、19と上記各第1内部電極15、16とで挟まれたセラミック層17が電圧非直線特性を発現する部分となっている。

【0014】さらに図3に示すように、上記各第2内部電極18、19の図示左、右両端部には、引出電極21、22が接続形成されており、この各引出電極21、22の端面は上記焼結体11の両側面11c、11dの長手方向両端部に露出している。

【0015】そして、上記左側の引出電極21には上記グランド電極14が接続されており、これによりこのグランド電極14は中央部から入力電極12側に偏位した位置に形成されていることとなる。

【0016】次に、本実施例の作用効果について説明する。本実施例の積層型チップバリスタ10は、電源部、信号ラインから侵入する静電気サージを吸収してICやLSI等の破壊を防止する機能を有している。このチップバリスタ10を回路基板に接続するには、プリント基板上の信号ラインの入力部に入力電極12を、出力部に

4

出力電極13をそれぞれ半田付け接続するとともに、アースラインにグランド電極14を半田付け接続する。この場合、このグランド電極14に近い方の電極が入力電極12となる。

【0017】このように本実施例によれば、グランド電極14を入力電極12側に寄せて形成したので、目視により接続方向を容易に識別できることから、表示マークを別途形成する必要はなく、この分だけ製造工程を省略でき、ひいては生産性を向上できる。また、単一のバリスタ素子に抵抗を一体化したので、実装時のスペースを縮小できるとともに、部品点数を削減してコストを低減できる。

【0018】また、本実施例では、焼結体11の上部、下部に電圧非直線特性を発現する第1、第2内部電極15、18及び16、19を埋設し、この各第2内部電極18、19の引出電極21、22を焼結体11の両側面11c、11dの両端部に導出したので、上記焼結体11にグランド電極14を付与する工程において、上記引出電極21、22のいずれかにグランド電極14を形成だけで方向性を持たせることができることから、電極を付与する際の、焼結体11の向きを揃える作業を不要にでき、この点からも生産性を向上できる。従って、図1において、右側の引出電極22にグランド電極を形成した場合は、符号13が入力電極となり、符号12が出力電極となる。さらに、上記積層型チップバリスタ10を誤って逆向きに配置した場合、プリント基板のアースラインとグランド電極との半田付け位置が合わなくなることから、半田付け検査時に発見できる。

【0019】ここで、図2(a)に示すように、上部の内部電極18と下部の内部電極16との間が狭いと浮遊容量Csが発生し易くなる。この浮遊容量Csは出力電極とグランド電極(図7参照)との間に入ることから、上記両内部電極18、16の距離を充分とることにより、信号波形への影響を回避できる。

【0020】なお、上記実施例では、焼結体11内の上部、下部にそれぞれ第1、第2内部電極を埋設し、該焼結体11の左、右両端部に引出電極21、22を露出させた場合を例にとって説明したが、本発明ではいずれか一方のみに形成してもよい。また、上記抵抗膜20を焼結体11の表面に形成したが、本発明では抵抗膜を焼結体11内に内蔵してもよい。

【0021】図4及び図5は、それぞれ上記実施例の変形例による積層型チップバリスタを示す図であり、図中、図2と同一符号は同一又は相当部分を示す。図4に示すチップバリスタ10は、第1、第2内部電極15、18及び16、19の配置位置を入れ換えた例である。つまり、第1内部電極15、16の間にセラミック層17を挟んで第2内部電極18、19を配設して構成されている。この構造の場合、内部電極15と16との間に浮遊容量Csが発生し易く、この浮遊容量Csは、図5

BEST AVAILABLE COPY

(4)

特開平6-29106

5

に示すように、抵抗膜20に並列に入って高周波ノイズを通過させる場合があり、両内部電極間の距離を充分とる必要がある。

【0022】また、図5に示す積層型チップバリスタ10は、入力、出力電極12、13に接続される第1内部電極15、16及びグランド電極14に接続される第2内部電極18、19をそれぞれ左、右対象に配設して構成した例である。この構造の場合、左、右の電極間距離dを充分とることにより、浮遊容量の発生を抑制でき、信号及びノイズ吸収効果への影響を回避できる。

【0023】

【発明の効果】以上のように本発明に係る積層型チップバリスタによれば、グランド電極を焼結体の入力、出力電極の何れか一方側に偏位させて形成したので、実装スペースの縮小、及び部品点数の削減を図りながら、別工程による表示マークを不要にでき、それだけ製造工程を簡略化できる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例による積層型チップバリスタを説明するための斜視図である。

【図2】上記実施例の積層型チップバリスタの断面図である。

【図3】上記実施例の積層型チップバリスタの分解斜視図である。

【図4】上記実施例の他の例による積層型バリスタを示*

*す断面図である。

【図5】上記積層型バリスタの等価回路図である。

【図6】上記実施例の変形例による積層型バリスタを示す断面図である。

【図7】本発明の成立過程を説明するための等価回路図である。

【図8】本発明の成立過程を説明するための問題点を示す等価回路図である。

【図9】本発明の成立過程を説明するための積層型チップバリスタの斜視図である。

【図10】従来の積層型チップバリスタの等価回路図である。

【図11】従来の積層型チップバリスタに抵抗体を付加した等価回路図である。

【符号の説明】

10 積層型チップバリスタ

11 セラミック焼結体

11a, 11b 焼結体の両側面

11c, 11d 焼結体の両側面

20 12 入力電極

13 出力電極

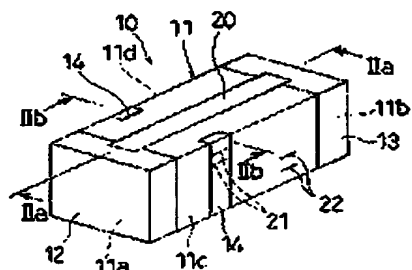
14 グランド電極

15, 16 第1内部電極（一方側）

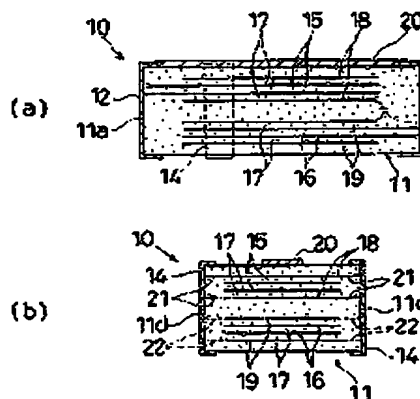
18, 19 第2内部電極（他方側）

20 抵抗膜

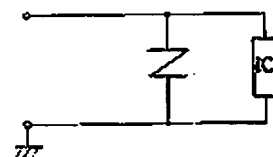
【図1】



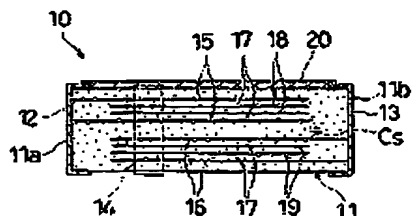
【図2】



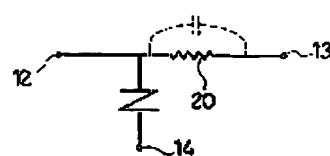
【図10】



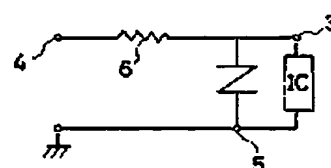
【図4】



【図5】



【図8】

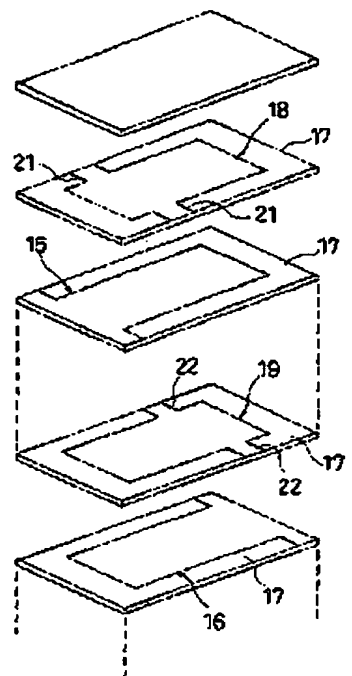


BEST AVAILABLE COPY

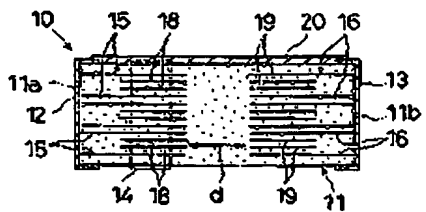
(5)

特開平6-29106

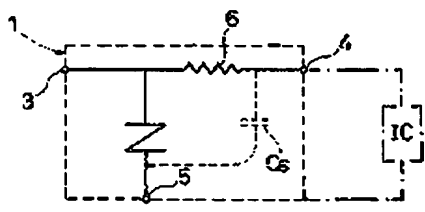
【図3】



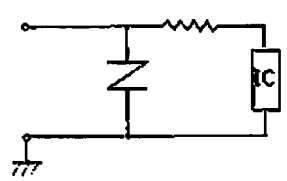
【図6】



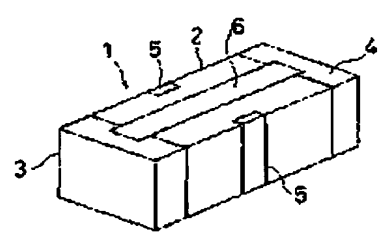
【図7】



【図11】



【図9】



BEST AVAILABLE COPY